

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-183356  
 (43) Date of publication of application : 23.07.1993

(51) Int.CI.

H03F 3/343

(21) Application number : 04-018318

(71) Applicant : HITACHI LTD  
 HITACHI TOBU SEMICONDUCTOR  
 LTD

(22) Date of filing : 06.01.1992

(72) Inventor : KUDO MASAKI  
 TANBA HIROKO

## (54) BIAS CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

### (57) Abstract:

**PURPOSE:** To obtain a self-production type bias circuit operated stably regardless of fluctuation of a power supply voltage by delivering an output of a transistor (TR) series circuit to a post-stage circuit through a specific current path.

**CONSTITUTION:** A desired bias voltage is generated in itself by applying a voltage to a series circuit comprising MOS TRs M1, M2 and the circuit is provided with current paths 11, 12 in which the current changes so as to be inversely proportional to the dispersion in the threshold voltage of the TRs M1, M2. That is, the 1st current path 11 to cancel the effect of the dispersion in the process onto the threshold voltage of the MOS TR M2 and the 2nd current path 12 to cancel the effect of the dispersion in the process onto the threshold voltage of the MOS TR M1 are provided. Then the effect of the process dispersion onto the threshold voltage of the MOS TR series circuit is excluded by the current paths 11, 12. Thus, a bias current depending only on a power supply voltage Vdd is obtained.

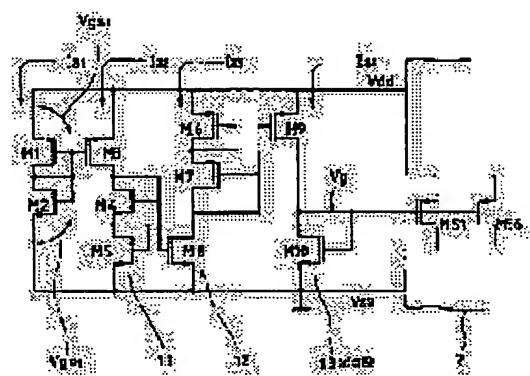
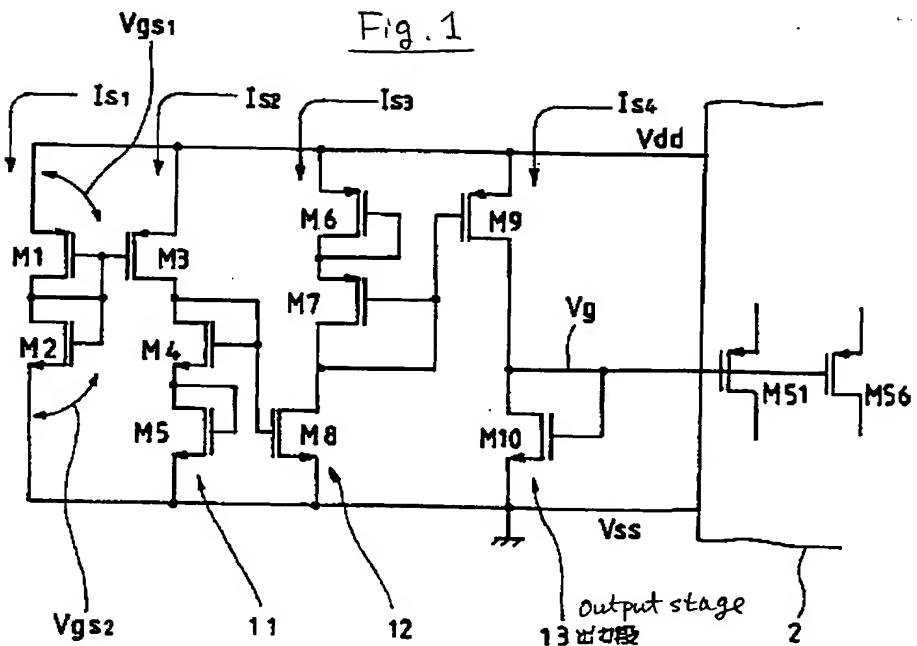


Fig. 1



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-183356

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.<sup>5</sup>

H 03 F 3/343

識別記号 庁内整理番号

A 8124-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数7(全10頁)

(21)出願番号

特願平4-18318

(22)出願日

平成4年(1992)1月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72)発明者 工藤 正樹

埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

(72)発明者 丹場 裕子

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 玉村 静世

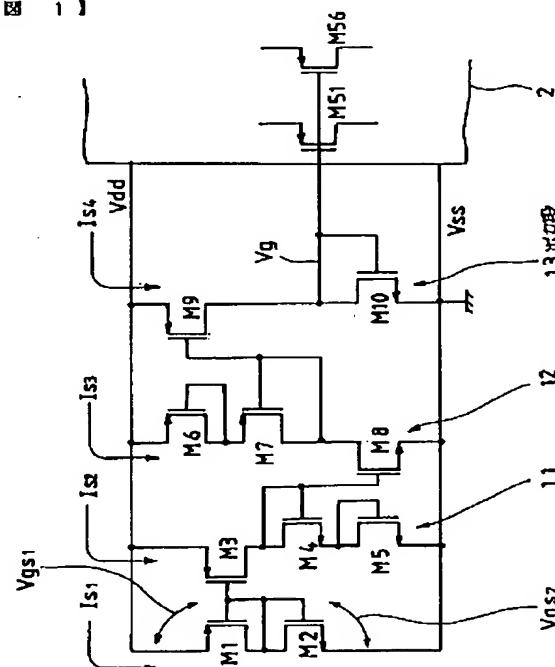
(54)【発明の名称】 バイアス回路、及び半導体集積回路

(57)【要約】

【目的】 本発明の目的は、しきい値電圧のばらつきに拘らず安定動作する自己発生型バイアス回路を提供することにある。

【構成】 MOSトランジスタM2のしきい値電圧のプロセスばらつきによる影響をキャンセルするための第1電流経路11と、MOSトランジスタM1のしきい値電圧のプロセスばらつきによる影響をキャンセルするための第2電流経路12とを設け、MOSトランジスタ直列回路のしきい値電圧のプロセスばらつきによる影響を排除する。

【図 1】



## 【特許請求の範囲】

【請求項1】 ダイオード接続された複数のトランジスタの直列回路を含み、このトランジスタ直列回路に電源電圧が供給されることにより、所望のバイアス電圧を自己発生するように構成されたバイアス回路において、上記トランジスタのしきい値電圧のばらつきに反比例するよう電流が変化される電流経路を設け、上記トランジスタ直列回路の出力をこの電流経路を介して後段回路に伝達するように構成されたことを特徴とするバイアス回路。

【請求項2】 ダイオード接続された第1導電型トランジスタと、ダイオード接続された第2導電型トランジスタとによって上記トランジスタ直列回路が形成されるとき、上記電流経路は、上記第2導電型トランジスタのしきい値電圧のばらつきによる影響をキャンセルするための第1電流経路と、上記第1導電型トランジスタのしきい値電圧のプロセスばらつきによる影響をキャンセルするための第2電流経路とを含む請求項1記載のバイアス回路。

【請求項3】 上記第1電流経路は、ゲート電極が上記第1導電型トランジスタ及び第2導電型トランジスタに結合された第1導電型トランジスタと、この第1導電型トランジスタに直列接続されると共にダイオード接続された第2導電型トランジスタとを含んで成り、上記第2電流経路は、ゲート電極が上記第1電流経路の出力ノードに結合された第2導電型トランジスタと、この第2導電型トランジスタに直列接続されると共にダイオード接続された第1導電型トランジスタとを含んで成る請求項2記載のバイアス回路。

【請求項4】 上記第1導電型トランジスタはPチャンネル型MOSトランジスタとされ、上記第2導電型トランジスタはNチャンネル型MOSトランジスタとされる請求項2又は3記載のバイアス回路。

【請求項5】 導電型が互いに等しい3個のトランジスタをそれぞれダイオード接続すると共にそれらを直列接続して成るトランジスタ直列回路に電源電圧を供給し、このトランジスタ直列回路の中央に位置するトランジスタのドレイン電圧に基づいて出力電圧を得るように構成されたバイアス回路。

【請求項6】 ダイオード接続された複数のトランジスタの直列回路を含み、このトランジスタ直列回路に電源電圧が供給されることにより、所望のバイアス電圧を自己発生するように構成されたバイアス回路において、上記トランジスタのしきい値電圧のばらつき、及び上記電源電圧の変動に反比例する電流経路を設け、上記トランジスタ直列回路の出力をこの電流経路を介して後段回路に伝達するように構成されたことを特徴とするバイアス回路。

【請求項7】 演算増幅器と、この演算増幅器に定電流を供給するための定電流源とを含み、この定電流源の制

御回路として、請求項1, 2, 3, 4, 5又は6記載のバイアス回路を適用して成る半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、演算増幅器（オペアンプという）やコンパレータなどのアナログ回路にバイアス電流を与えるためのバイアス回路、さらには自己発生型のバイアス回路の電流変動の低減技術に関し、例えばアナログ・デジタル混載型の半導体集積回路に適用して有効な技術に関する。

## 【0002】

【従来の技術】 オペアンプやコンパレータなどのアナログ回路に供給されるバイアス電流が変化されると、これに従ってその動作特性もしくは回路特性も変化を受ける。このため、バイアス回路は、電源電圧や内蔵回路素子のしきい値電圧変動などの影響を実質的に受けないようなバイアス電流をアナログ回路に与えることが要求される。例えば、MOS半導体集積回路においてそのようなバイアス回路は、Nチャンネル型のMOSトランジスタ（ゲート絶縁型電界効果トランジスタ）に印加される基準電圧レベルによって決定される電流を、カレントミラー回路によりダイオード接続された直列2段の相互にしきい値電圧の等しいNチャンネル型ダイオードMOSトランジスタに流し、前段の当該ダイオードMOSトランジスタのドレイン電圧を、Nチャンネル型定電流源MOSトランジスタに印加するようにして当該MOSトランジスタに電流を流すようにしている。この電流値は、入力MOSトランジスタに対して上記ダイオードMOSトランジスタのサイズを適当に選ぶことにより、実質的に定電流源MOSトランジスタのサイズと上記基準電圧レベルによって決定され、電源電圧や内蔵回路素子のしきい値電圧に実質的に依存しないようになる。この定電流源MOSトランジスタに流れる電流は、カレントミラー回路によってアナログ回路の定電流源MOSトランジスタにバイアス電流を流す。

【0003】 ところで、基準電圧（ $V_{ref}$ ）発生用アンプのバイアス回路のように、基準電圧を供給することができない回路においては、それぞれダイオード接続されたPチャンネル型MOSトランジスタと、Nチャンネル型MOSトランジスタとを直列接続することによって所定のバイアス電圧を自己発生するような回路が適用される。そのような自己発生型のバイアス回路に流れる電流Iは、次式で示される。

$$I = \alpha (V_{gs} - V_{th})^2$$

ここで、

$$\alpha = (\mu C_o x W) / 2L$$

とされる。上式において、 $V_{gs}$ はゲート・ソース間電圧、 $V_{th}$ はMOSトランジスタのしきい値電圧、 $\mu$ は易動度、 $C_o x$ はMOSトランジスタのゲート酸化膜容量、 $W$ はMOSトランジスタのチャネル幅、 $L$ はチャネ

ル長である。

【0004】尚、アナログ回路のバイアス回路について記載された文献の例としては特開昭62-68308号公報がある。

【0005】

【発明が解決しようとする課題】上記従来技術について本発明者が検討したところ、自己発生型のバイアス回路では、バイアス回路の外部からの基準電圧の供給が不要とされる反面、電源電圧Vddの変動や、しきい値電圧Vthのプロセスばらつきなどにより、回路に流れる電流が変動され易く、バイアス電圧発生のための安定動作が困難になるという欠点のあることが見いだされた。そして、バイアス回路におけるこのような問題点が解消されなければ、動作特性の安定化が高い精度で要求されるアナログ回路には、そのようなバイアス回路を到底適用することができず、さらにアナログ・ディジタル混載型の半導体集積回路において電力消費量の大きなアナログ回路部での消費電力の変動が大きくなつて当該半導体集積回路全体の動作性能や信頼性を損なう虞のあることが、本発明者によって明かとされた。

【0006】本発明の目的は、電源電圧変動に拘らず安定動作する自己発生型バイアス回路を提供することにある。

【0007】また、本発明の別の目的は、しきい値電圧のプロセスばらつきに拘らず安定動作する自己発生型バイアス回路を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、ダイオード接続された複数のトランジスタの直列回路に電源電圧が供給されることにより、所望のバイアス電圧を自己発生するようにバイアス回路が構成されるとき、上記トランジスタのしきい値電圧のばらつきに反比例するように電流が変化される電流経路を設けるものである。また、ダイオード接続された第1導電型トランジスタと、ダイオード接続された第2導電型トランジスタとによって上記トランジスタの直列回路が形成されるとき、上記電流経路は、上記第2導電型トランジスタのしきい値電圧のばらつきによる影響をキャンセルするための第1電流経路と、上記第1導電型トランジスタのしきい値電圧のプロセスばらつきによる影響をキャンセルするための第2電流経路とを含めることができる。さらに具体的な態様では、上記第1電流経路は、ゲート電極が上記第1導電型トランジスタ及び第2導電型トランジスタに結合された第1導電型トランジスタと、この第1導電型トランジスタに直列接続され、

且つダイオード接続された第2導電型トランジスタとを含んで構成することができ、上記第2電流経路は、ゲート電極が上記第1電流経路の出力ノードに結合された第2導電型トランジスタと、この第2導電型トランジスタに直列接続され、且つダイオード接続された第1導電型トランジスタとを含んで構成することができる。

【0011】また、導電型が互いに等しい3個のトランジスタをそれぞれダイオード接続すると共にそれらを直列接続して成るトランジスタ直列回路に電源電圧を供給し、このトランジスタ直列回路の中央に位置するトランジスタのドレイン電圧に基づいて出力電圧を得るようにバイアス回路を構成するものである。

【0012】さらに、ダイオード接続された複数のトランジスタの直列回路を含み、このトランジスタ直列回路に電源電圧が供給されることにより、所望のバイアス電圧を自己発生するように構成されたバイアス回路において、上記トランジスタのしきい値電圧のばらつき、及び上記電源電圧の変動に反比例するように電流が変化される電流経路を設けるものである。

【0013】そして、そのようなバイアス回路を含んで半導体集積回路を形成するものである。

【0014】

【作用】上記した手段によれば、上記トランジスタのしきい値電圧のばらつきに反比例するように電流が変化される電流経路は、当該トランジスタのしきい値電圧のばらつきに起因する電流変動をキャンセルし、しきい値電圧のプロセスばらつきに拘らず安定動作するように作用する。また、導電型が互いに等しい3個のトランジスタをそれぞれダイオード接続すると共にそれらを直列接続して成るトランジスタ直列回路の中央に位置するトランジスタのドレイン電圧に基づいて出力電圧を得ることは、それに含まれるトランジスタのしきい値電圧のばらつきをキャンセルするように作用する。さらに、上記トランジスタのしきい値電圧のばらつき、及び上記電源電圧の変動に反比例する電流経路は、当該しきい値電圧のばらつき、及び電源電圧の変動をキャンセルし、安定動作するように作用する。

【0015】

【実施例】図5には、本発明の一実施例であるバイアス回路が適用された半導体集積回路が示される。同図に示されるバイアス回路1は、特に制限されないが、オペアンプ2などのアナログ回路にバイアス電流を与えるためのものであり、音声信号をPCM信号に変換するコーダ部とその逆変換を行うデコーダ部を備えたCODECLSIや、端末からのデータを音声帯域信号に変換したりその逆変換を行つたりするMODEMLSIなどのデジタル・アナログ混載型の通信制御用半導体集積回路に内蔵される。

【0016】図5に示されるオペアンプ2は、相補型MOS(以下CMOSとも記す)回路によって構成されて

いる。このオペアンプ2の差動入力段3は、回路の一方の電源Vddに結合された定電流源としてのPチャンネル型定電流源MOSトランジスタM51を介してバイアス電流が供給されるようになっており、この定電流源MOSトランジスタM51のドレイン電極には差動対を構成するPチャンネル型入力MOSトランジスタM52、M53のソース電極が共通接続される。これら入力MOSトランジスタM52、M53のドレイン電極には、ソース電極が回路の他方の電源Vssに共通接続されたNチャンネル型MOSトランジスタM54、M55のドレイン電極が結合され、これらMOSトランジスタM54、M55のゲート電極と当該MOSトランジスタM54のドレイン電極が共通接続されて、これらMOSトランジスタM54、M55は能動負荷としてのカレントミラー回路を構成する。MOSトランジスタM51によってバイアスされた入力MOSトランジスタM52、M53の小信号電流は、カレントミラー負荷を介して单一電流出力信号として駆動段4へ導かれる。

【0017】駆動段4は、電源Vddにソース電極が結合されたPチャンネル型MOSトランジスタM56と、他方の電源Vssにソース電極が結合されたNチャンネル型MOSトランジスタM57とを直列接続すると共に、周波数補償用の容量素子Ccと抵抗素子Rcとを含んで成り、CMOS反転増幅回路とされ、差動入力段3から入力される電流信号を電圧振幅に変換する。

【0018】図1には上記バイアス回路1の詳細な構成例が示される。

【0019】図5に示される定電流源MOSトランジスタM51、M51にバイアス電圧を与えるためのバイアス回路1は、ゲート電極とドレイン電極とが結合されることによって所謂ダイオード接続されたNチャンネル型MOSトランジスタM10と、Pチャンネル型MOSトランジスタM9とが、電源VddとVssとの間に直列接続されて成る出力段13を有し、そのMOSトランジスタM10がオペアンプ2の定電流源MOSトランジスタM51、M56とカレントミラー回路を構成することにより、そのMOSトランジスタM10に流れる電流Is4に対して所定のカレントミラー比で上記オペアンプ2にバイアス電流を与える。すなわち、MOSトランジスタM9、M10の直列箇所が出力ノードとされ、このノード電圧Vgが、上記オペアンプ2のMOSトランジスタM51、M56のゲート電極に印加されることによって、当該オペアンプ2のバイアス電流が一定となるように制御される。

【0020】以下、上記電流Is4に対する、電源電圧の変動や、しきい値電圧のプロセスばらつきを実質的にキャンセルするための構成を説明する。

【0021】図1に示されるバイアス回路1は、ダイオード接続されたPチャンネル型MOSトランジスタM1と、ダイオード接続されたNチャンネル型MOSトラン

ジスタM2とが直列接続されることによって所定のバイアス電圧を自己発生するための回路とされており、そこに流れる電流Is1は、電源電圧Vddの変動や、しきい値電圧Vthのプロセスばらつきなどにより変動され易い。そこで、本実施例では、トランジスタのしきい値電圧のばらつきによる影響を低減するための電流経路を設け、電源電圧Vddにのみ依存するバイアス電流を得るようにしている。すなわち、MOSトランジスタM2のしきい値電圧のプロセスばらつきによる影響をキャンセルするための第1電流経路11と、MOSトランジスタM1のしきい値電圧のプロセスばらつきによる影響をキャンセルするための第2電流経路12とを設け、この二つの電流経路によってMOSトランジスタ直列回路のしきい値電圧のプロセスばらつきによる影響を排除するようしている。

【0022】上記第1電流経路11は、特に制限されないが、ゲート電極がMOSトランジスタM1、M2に結合されたPチャンネル型MOSトランジスタM3と、このMOSトランジスタM3に直列接続されたNチャンネル型MOSトランジスタM4、M5とによって構成される。MOSトランジスタM3のソース電極は電源Vddに結合される。MOSトランジスタM4、M5はダイオード接続され、このMOSトランジスタM5が低電位側電源Vssに結合される。MOSトランジスタM3とMOSトランジスタ4との直列接続箇所が、当該第1電流経路11の出力ノードとされ、この出力ノードが、後段に配置された第2電流経路12に結合される。この第1電流経路11において、MOSトランジスタM3のソース電流はIs2とされる。

【0023】上記第2電流経路12は、特に制限されないが、電源Vssに結合されたNチャンネル型MOSトランジスタM8と、これに結合されたPチャンネル型MOSトランジスタM6、M7とによって構成される。MOSトランジスタM8のゲート電極は上記第1電流経路11の出力ノードに結合される。上記MOSトランジスタM6、M7はそれぞれダイオード接続され、MOSトランジスタM7とMOSトランジスタM8との直列接続箇所が当該第2電流経路12の出力ノードとされる。この出力ノードは、出力段を形成するMOSトランジスタM9のゲート電極に結合される。

【0024】図1に示されるバイアス回路が、MOSトランジスタM1、M2のしきい値電圧のプロセスばらつきに影響されないことは、次のように証明される。

【0025】先ず、

$\mu$  : 易動度、

$C_{ox}$  : ゲート酸化膜容量

W : MOSトランジスタのチャネル幅

L : MOSトランジスタのチャネル長

$V_{gs}$  : MOSトランジスタのゲート・ソース間電圧

$V_{th}$  : しきい値電圧

$V_{thp}$  : Pチャンネル型MOSトランジスタのしきい値電圧

$V_{thn}$  : Nチャンネル型MOSトランジスタのしきい値電圧

$V_{dd}$  : 電源電圧

$V_{gs}$  : MOSトランジスタのゲート・ソース間電圧のようすに定義する。MOSトランジスタのソース電流  $I_s$  は、

$$I_s = (\mu C_o x W) (V_{gs} - V_{th})^2 / 2L$$

$$\alpha_1 (V_{gs1} - V_{thp})^2 = \alpha_2 (V_{gs2} - V_{thn})^2$$

$$\alpha_1 (V_{gs1} - V_{thp})^2 = \alpha_2 (V_{dd} - V_{gs} - V_{thn})^2$$

$$V_{gs1} = (\alpha_2)^{1/2} (V_{dd} - V_{thn}) / \{ (\alpha_1)^{1/2} + (\alpha_2)^{1/2} \} + (\alpha_1)^{1/2} V_{thp} / (\alpha_1)^{1/2} + (\alpha_2)^{1/2}$$

とされる。また、

$$\alpha_1 = \alpha_3$$

$$I_{s2} = \alpha_1 (V_{gs1} - V_{thp})^2$$

となり、①式に  $V_{gs1}$  を代入すると、

$$I_{s2} = A (V_{dd} - V_{thp} - V_{thn})^2$$

となる。ここで、

$$A = \alpha_1 \cdot \alpha_2 / \{ (\alpha_1)^{1/2} + (\alpha_2)^{1/2} \}$$

とし、また、

$$\alpha_4 = \alpha_5$$

とすると、MOSトランジスタM6のソース電流  $I_{s3}$  は、

$$I_{s3} = \alpha_8 [ (A/\alpha_4)^{1/2} \times 2 (V_{dd} - V_{thp}) - \{ 2 (A/\alpha_4)^{1/2} - 1 \} V_{thn} ]^2$$

となり、

$$2 (A/\alpha_4)^{1/2} = 1$$

とすることによってNチャンネル型MOSトランジスタM2のしきい値電圧  $V_{thn}$  をキャンセルすることができる。さらに、MOSトランジスタM9のソース電流  $I_{s4}$  は、

$$I_{s4} = \alpha_9 [ 2 (\alpha_8/\alpha_6)^{1/2} V_{dd} - \{ 2 (\alpha_8/\alpha_6)^{1/2} - 1 \} V_{thp} ]^2$$

となるから、

$$2 (\alpha_8/\alpha_6)^{1/2} = 1$$

とすることによってPチャンネル型MOSトランジスタM1のしきい値電圧  $V_{thp}$  をキャンセルすることができる。その結果、

$$I_{s4} = \alpha_9 - V_{dd}^2$$

となり、MOSトランジスタM1, M2のしきい値電圧のプロセスばらつきの影響がキャンセルされ、電源電圧にのみ依存するバイアス電流を得ることができる。

【0026】本実施例によれば以下の作用効果を得ることができる。

【0027】(1) MOSトランジスタM2のしきい値電圧のプロセスばらつきによる影響を低減するための第1電流経路11と、MOSトランジスタM1のしきい値電圧のプロセスばらつきによる影響を低減するための第

と表され、ここで、

$$\alpha = (\mu C_o x W) / 2L$$

とすると、図1に示されるMOSトランジスタM1, M2の直列回路に流れる電流  $I_{s1}$  は、

$$I_{s1} = \alpha_1 (V_{gs1} - V_{thp})^2$$

$$= \alpha_2 (V_{gs2} - V_{thn})^2$$

とされ、また、

$$V_{dd} = V_{gs1} + V_{gs2}$$

の関係が成立するから、

$$\alpha_1 (V_{gs1} - V_{thp})^2 = \alpha_2 (V_{gs2} - V_{thn})^2$$

$$\alpha_1 (V_{gs1} - V_{thp})^2 = \alpha_2 (V_{dd} - V_{gs} - V_{thn})^2$$

$$V_{gs1} = (\alpha_2)^{1/2} (V_{dd} - V_{thn}) / \{ (\alpha_1)^{1/2} + (\alpha_2)^{1/2} \}$$

$$+ (\alpha_2)^{1/2} \} + \{ (\alpha_1)^{1/2} V_{thp} \} / (\alpha_1)^{1/2} + (\alpha_2)^{1/2}$$

とすると、

.....①

2電流経路12とを設け、この二つの電流経路によってMOSトランジスタ直列回路のしきい値電圧のプロセスばらつきによる影響がキャンセルされ、電源電圧にのみ依存するバイアス電流を得ることができる。

【0028】(2) 上記(1)の作用効果により、そのようなバイアス回路を、差動増幅器における定電流源の制御回路として適用することにより、半導体集積回路の品質や信頼性を高めることができる。

【0029】図2には、図5に示されるバイアス回路1の他の構成例が示される。

【0030】図2において、ダイオード接続されたPチャンネル型MOSトランジスタM1と、ダイオード接続されたNチャンネル型MOSトランジスタM2とが直列接続されることによって所定のバイアス電圧を自己発生するための回路が形成される。本実施例では、電源電圧  $V_{dd}$  の変動、MOSトランジスタM2のしきい値電圧のプロセスばらつきによる影響を低減するための電流経路21が設けられる。この電流経路21は、電源電圧  $V_{dd}$  の変動、MOSトランジスタM2のしきい値電圧のプロセスばらつきに反比例するよう電流が変化され、特に制限されないが、ダイオード接続されたPチャンネル型MOSトランジスタM3, M4が直列接続され、さらにこのMOSトランジスタM4と、電源  $V_{ss}$ との間にNチャンネル型MOSトランジスタM5が配置されて成る。このMOSトランジスタM5のゲート電極に、上記MOSトランジスタM1, M2の直列回路によって分圧された電圧が印加されるようになっている。MOSトランジスタM5のドレインはこの電流経路21の出力ノードとされ、この出力ノードが、後段の出力段22に結合される。この出力段22は、ダイオード接続されたPチャンネル型MOSトランジスタM6と、これに直列接続されたNチャンネル型MOSトランジスタM7とによって構成される。MOSトランジスタM6, M7

のドレイン電極がこの出力段の出力ノードとされ、それが、オペアンプ2におけるMOSトランジスタM51, M56のゲート電極に結合される。そのような回路構成によって、電源電圧Vddの変動、MOSトランジスタM2のしきい値電圧のプロセスばらつきによる影響がキャンセルされるのは、以下のように証明される。

【0031】MOSトランジスタM1のソース電流Is1は、上記実施例の場合と同様に、

$$Is1 = A (Vdd - Vthp - Vthn)^2$$

$$B = [\alpha_1 \cdot \alpha_2 / \alpha_3 \{ (\alpha_1)^{1/2} + (\alpha_2)^{1/2} \}^2]$$

であるから、

$$B = 1/2$$

のとき、VddとVthnとをキャンセルすることができる。従って、

$$Is3 = \alpha_7 \cdot Vthp^2$$

となり、電源電圧Vddの変動、Nチャンネル型MOSトランジスタM2のしきい値電圧Vthnのプロセスばらつきによる影響がキャンセルされ、Pチャンネル型MOSトランジスタのしきい値電圧Vthpにのみ依存するバイアス電流を得ることができる。

【0032】このように、図2に示されるバイアス回路によれば、ダイオード接続されたPチャンネル型MOSトランジスタM3、M4が直列接続され、さらにこのMOSトランジスタM4と、電源Vssとの間にNチャンネル型MOSトランジスタM5が配置されて成る電流経路21を設けたことにより、電源電圧Vddの変動、Nチャンネル型MOSトランジスタM2のしきい値電圧Vthnのプロセスばらつきによる影響が排除され、Pチャンネル型MOSトランジスタのしきい値電圧Vthpにのみ依存するバイアス電流を得ることができるので、そのようなバイアス回路を、差動増幅器における定電流源の制御回路として適用することにより、半導体集積回路の品質や信頼性を高めることができる。

【0033】図3には、図5に示されるバイアス回路1の他の構成例が示される。

【0034】図3に示されるバイアス回路は、特に制限されないが、ダイオード接続された3個のPチャンネル型MOSトランジスタM1、M2、M3が電源Vdd、Vss間に直列接続され、中央のMOSトランジスタM

$$\alpha_1 (Vgs1 - Vthp)^2 = \alpha_3 (Vdd - 2Vgs1 - Vthp)^2$$

$$Vgs1 = (Vdd - Vthp) (\alpha_3)^{1/2} / (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2} + Vthp (\alpha_1)^{1/2} / (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2}$$

とされる。また、

$$Vgs1 = Vgs4$$

$$Is2 = \alpha_4 (Vgs4 - Vthp)^{1/2}$$

$$= \alpha_4 (Vgs1 - Vthp)^{1/2}$$

$$= \alpha_4 [2 (\alpha_3)^{1/2} (Vdd - Vthp) / (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2} + \{ 2 (\alpha_1)^{1/2} / \{ (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2} \} - 1 \} Vthp ]^{1/2}$$

とされ、よって、

$$\{ 2 (\alpha_1)^{1/2} - 2 (\alpha_3)^{1/2} \} / \{ (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2} \} = 1$$

となる。ここで、

$$A = \alpha_1 \cdot \alpha_2 / \{ (\alpha_1)^{1/2} (\alpha_2)^{1/2} \}^2$$

又は、

$$\alpha_3 = \alpha_4$$

とすると、MOSトランジスタM6のソース電流Is3は、

$$Is3 = \alpha_7 \{ (1 - 2B) Vdd - (1 - 2B) Vthn - (2 - 2A) Vthp \}^2$$

となる。

2のドレイン電極が、後段の出力段31を形成するPチャンネル型MOSトランジスタM4のゲート電極に結合される。そしてこのMOSトランジスタM4と電源Vssとの間に、ダイオード接続されたPチャンネル型MOSトランジスタM5が配置され、MOSトランジスタM4、M5のドレイン電極からバイアス回路出力Vgが得られるようになっている。図3に示される回路は、基本的にPチャンネル型MOSトランジスタのみで構成され、しきい値電圧のプロセスばらつきについては、この20 Pチャンネル型MOSトランジスタのみを考えれば良い。ダイオード接続された3個のPチャンネル型MOSトランジスタM1、M2、M3の直列回路は、所定のバイアス電圧を自己発生する機能と共に、Pチャンネル型MOSトランジスタのしきい値電圧のプロセスばらつきをキャンセル機能を有する。そのようなキャンセル機能は、次式によって証明される。

【0035】MOSトランジスタM1、M2、M3の直列回路に流れる電流Is1は、

$$Is1 = \alpha_1 (Vgs1 - Vthp)^2$$

$$= \alpha_2 (Vgs2 - Vthp)^2$$

と表され、また、電源電圧Vddは、

$$Vdd = Vgs1 + Vgs2 + Vgs3$$

とされる。ここで、

$$\alpha_1 = \alpha_2$$

とすると、

$$Vgs1 = Vgs2$$

となるから、

$$\alpha_1 (Vgs1 - Vthp)^2 = \alpha_3 (Vdd - 2Vgs1 - Vthp)^2$$

$$Vgs1 = (Vdd - Vthp) (\alpha_3)^{1/2} / (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2} + Vthp (\alpha_1)^{1/2} / (\alpha_1)^{1/2} + 2 (\alpha_3)^{1/2}$$

であるから、MOSトランジスタM4のソース電流Is2は、

のとき、 $V_{thp}$ をキャンセルすることができる。従つて、

$$I_{s2} = \alpha_4 \cdot V_{dd} / 9$$

となり、電源電圧 $V_{dd}$ にのみ依存するバイアス電流を得ることができる。

【0036】このように、図3に示されるバイアス回路によれば、ダイオード接続された3個のPチャンネル型MOSトランジスタM1、M2、M3が電源 $V_{dd}$ 、 $V_{ss}$ 間に直列接続され、中央のMOSトランジスタM2のドレイン電極が、出力段のPチャンネル型MOSトランジスタM4のゲート電極に結合されることによって、Pチャンネル型MOSトランジスタのしきい値電圧のプロセスばらつきをキャンセルすることができ、電源電圧 $V_{dd}$ にのみ依存するバイアス電流を得ることができるので、上記実施例と同様に、そのようなバイアス回路を、差動増幅器における定電流源の制御回路として適用することにより、半導体集積回路の品質や信頼性を高めることができる。

【0037】図4には、図5に示されるバイアス回路1の他の構成例が示される。

【0038】図4に示されるバイアス回路は、特に制限されないが、ダイオード接続されたPチャンネル型MO

$$V_{gs3} = (\alpha_5 / \alpha_3)^{1/2} \cdot (V_{dd} / 2)$$

とされる。また、

$$\alpha_3 = \alpha_4$$

とすると、MOSトランジスタM6のソース電流 $I_{s3}$ は、

$$\begin{aligned} I_{s3} &= \alpha_6 (V_{gs6} - V_{thp})^2 \\ &= \alpha_6 (2V_{gs3} - V_{thp})^2 \\ &= \alpha_6 [(\alpha_5 / \alpha_3)^{1/2} V_{dd} \\ &+ \{1 - 2(\alpha_5 / \alpha_3)^{1/2}\} V_{thp}]^2 \end{aligned}$$

とされ、従つて、

$$(\alpha_5 / \alpha_3)^{1/2} = 1/2$$

のとき、 $V_{thp}$ をキャンセルすることができ、出力段41に流れる電流 $I_{s3}$ は、

$$I_{s3} = (\alpha_6 \cdot V_{dd}^2) / 4$$

となる。それにより、電源電圧 $V_{dd}$ にのみ依存するバイアス電流を得ることができる。このように、図4に示される回路は、Pチャンネル型MOSトランジスタのしきい値電圧のプロセスばらつきによる影響を排除可能とする点で、図3に示される回路と同様であるが、MOSトランジスタM1、M2、M3の3個のMOSトランジスタ直列回路に対して、M1、M2の2個のトランジスタ直列回路とされるので、電源電圧が比較的低い場合でも、図3に示される回路に比して安定動作が可能とされる。

【0040】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

SトランジスタM1、M2が直列接続され、電源 $V_{dd}$ 、 $V_{ss}$ に結合される。また、ダイオード接続されたPチャンネル型MOSトランジスタM3、M4が直列接続され、さらにこの直列回路と電源 $V_{ss}$ との間にPチャンネル型MOSトランジスタM5が配置される。そしてこのMOSトランジスタM5のゲート電極が上記MOSトランジスタM2のゲート電極に結合されることによってカレントミラー回路が形成される。MOSトランジスタM4、M5の直列接続箇所が、後段の出力段41を形成するPチャンネル型MOSトランジスタM6のゲート電極に結合される。この出力段41の構成は、図1におけるそれと等しくされる。このように構成されたバイアス回路においては、Pチャンネル型MOSトランジスタのしきい値電圧のプロセスばらつきによる影響を排除することができ、それは、次式によって証明される。

【0039】先ず、

$$\alpha_1 = \alpha_2$$

とすると、MOSトランジスタM3、M4、M5の直列回路に流れる電流 $I_{s2}$ は、

$$I_{s2} = \alpha_5 \{ (V_{dd} / 2) - V_{thp} \}^2$$

と表され、よって、MOSトランジスタM3のゲートソース間電圧 $V_{gs3}$ は、

$$V_{gs3} = (V_{dd} / 2) - V_{thp} + V_{thp}$$

【0041】例え、MOSトランジスタ直列回路において、ダイオード接続された素子の数を適宜に変更することができる。

【0042】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログ・デジタル混載型の通信制御用MOS半導体集積回路に適用した場合について説明したが、本発明はそれに限定されるものではなく、所謂リニアICを用いた通信又は情報用バイポーラアナログLSIやMOSアナログLSIなど、各種LSIに広く適用することができる。

【0043】本発明は、少なくともバイアス電圧を自己発生することを条件に適用することができる。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0045】すなわち、トランジスタのしきい値電圧のばらつきに反比例するよう電流が変化される電流経路によって、当該トランジスタのしきい値電圧のばらつきに起因する電流変動がキャンセルされることによって、しきい値電圧のプロセスばらつきに拘らず安定動作が可能とされる。また、導電型が互いに等しい3個のトランジスタをそれぞれダイオード接続すると共にそれらを直列接続して成るトランジスタ直列回路の中央に位置するトランジスタのドレイン電圧に基づいて出力電圧を得ることにより、それに含まれるトランジスタのしきい値電圧のばらつきがキャンセルされるので、安定出力を得る

ことができる。さらに、トランジスタのしきい値電圧のばらつき、及び電源電圧の変動に反比例するように電流が変化される電流経路を設けることにより、当該しきい値電圧のばらつき、及び電源電圧の変動がキャンセルされ、安定動作が可能とされる。それにより、動作特性の安定化が高い精度で要求されるアナログ回路に好適バイアス回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかるバイアス回路の電気結線図である。

【図2】本発明の他の実施例にかかるバイアス回路の電気結線図である。

【図3】本発明の他の実施例にかかるバイアス回路の電気結線図である。

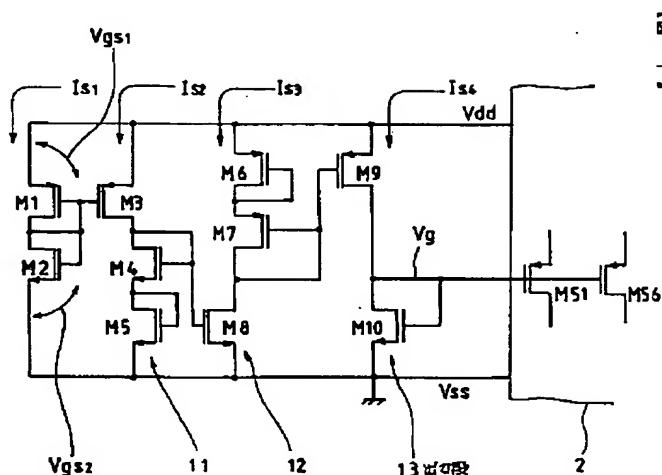
【図4】本発明の他の実施例にかかるバイアス回路の電気結線図である。

【図5】上記バイアス回路が適用される半導体集積回路の電気結線図である。

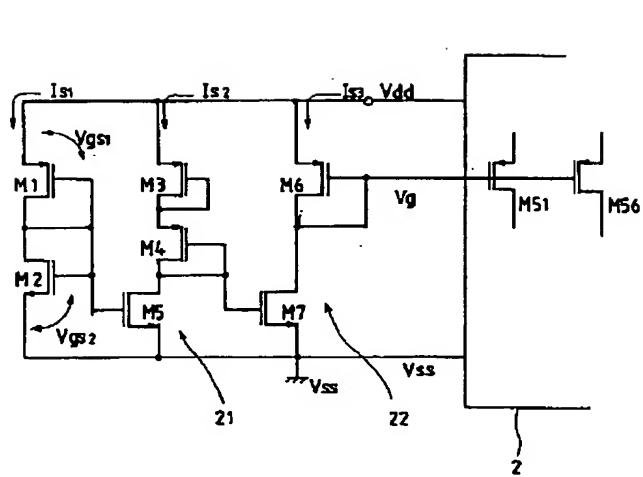
【符号の説明】

1	バイアス回路	
2	オペアンプ	
3	差動入力段	
4	駆動段	
11	電流経路	
12	電流経路	
13	出力段	
21	電流経路	
10	22	出力段
31	出力段	
41	出力段	
M1乃至M10 MOSトランジスタ		
M51乃至M57 MOSトランジスタ		
Vdd 高電位側電源		
Vss 低電位側電源		
IS1乃至IS4 電流		

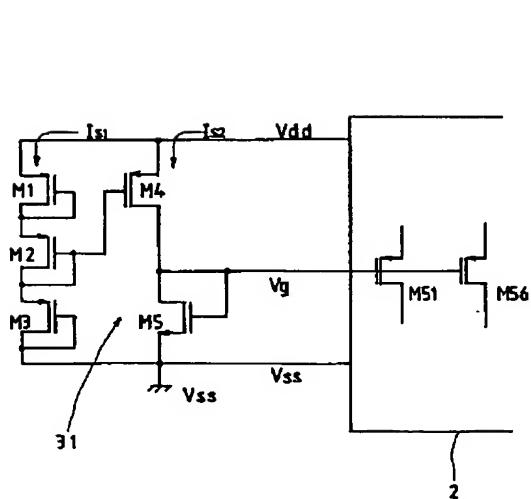
【図1】



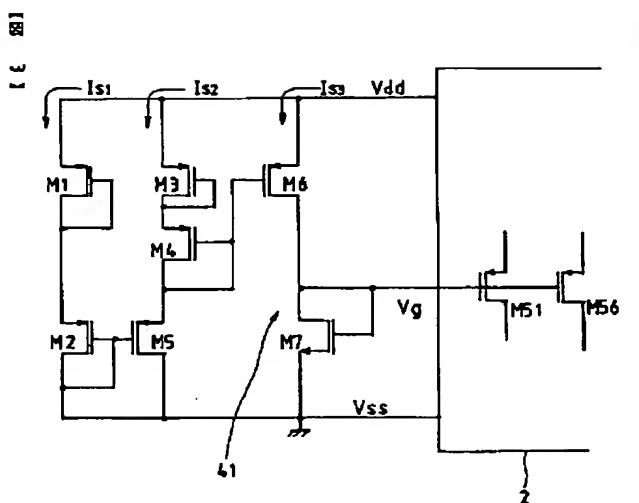
【図2】



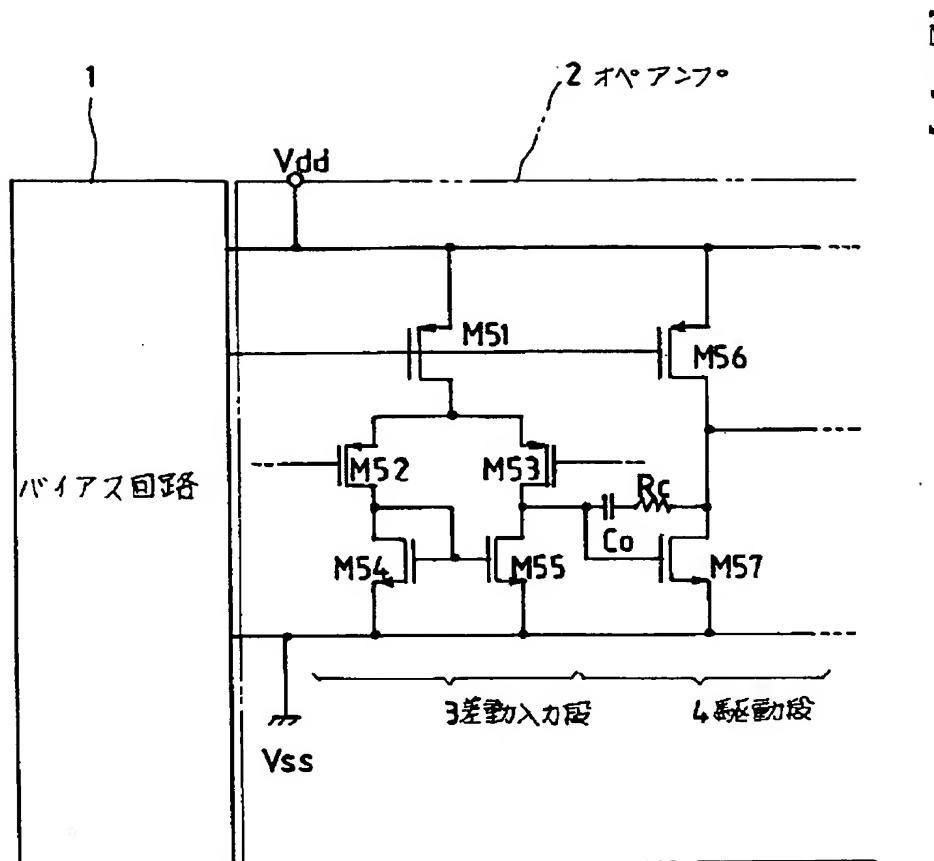
【図3】



[図4]



【図5】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-097120  
 (43)Date of publication of application : 09.04.1990

(51)Int.CI. H03K 19/0952  
 H03K 19/0185

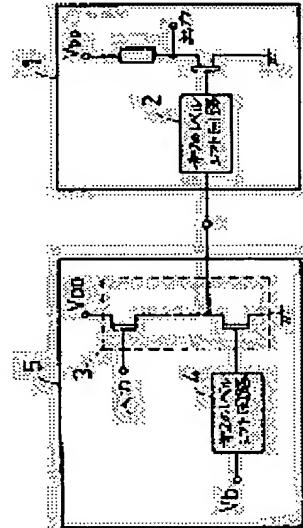
(21)Application number : 63-249564 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 03.10.1988 (72)Inventor : SHIMIZU HARUO  
 SUGIZAKI SHIRO  
 SUYAMA KATSUHIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

PURPOSE: To compensate the level shift variation and prevent the variation in logical threshold of a logic circuit by providing a level converting circuit having a source follower constitution and a second level shifting circuit which is formed in the same process and has the same temperature characteristic as a first level shifting circuit.

CONSTITUTION: A level compensating and converting circuit 5 consisting of a level converting circuit and a second level shifting circuit 4 is provided in the preceding stage of a logic circuit 1. The second level shifting circuit 4 is formed in the same process as the first level shifting circuit and has the same temperature characteristic as this circuit and shifts the level of a fixed bias to supply it to the gate of a current source FET having the source follower constitution. The extent of level shift of the second level shifting circuit 4 is varied as the same manner as the variation of the extent of level shift of the first level shifting circuit 2 due to process and temperature variance. Since the extent of level shift of the second level shifting circuit 4 is inverted by the level converting circuit 3, the variation of the extent of level shift of the circuit 2 is eliminated in a logic circuit 1 following the circuit 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平2-97120

⑫ Int. Cl. 5  
 H 03 K 19/0952  
 19/0185

識別記号

厅内整理番号

⑬ 公開 平成2年(1990)4月9日

8326-5J H 03 K 19/094  
 8326-5J 19/00 101 Z  
 審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭63-249564  
 ⑯ 出 願 昭63(1988)10月3日

⑰ 発明者 清水 治夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内

⑰ 発明者 杉崎 至郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内

⑰ 発明者 須山 勝彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 代理人 弁理士 伊東 忠彦 外2名

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

① 入力信号をレベルシフトする第1のレベルシフト回路(2)を有する論理回路(1)の半導体集積回路において、

該入力信号のレベル変換を行なうソースフォロア構成のレベル変換回路(3)と、

固定バイアスをレベルシフトして該ソースフォロア構成の電源FETのゲートに供給する該第1のレベルシフト回路(2)と同一プロセスで形成され、かつ同一温度特性を持つ第2のレベルシフト回路(4)とを有することを特徴とする半導体集積回路。

② 入力信号をレベルシフトする第1のレベルシフト回路(2)を有する論理回路(1)の半導体集積回路において、

該入力信号のレベル変換を行なうソースフォロア構成のレベル変換回路(3)と、

該レベル変換回路(3)の電源FETのソースに印加する負電圧を発生するバイアス発生回路(6)と、

固定バイアスをレベルシフトして該ソースフォロア構成の電源FETのゲートに供給する該第1のレベルシフト回路(2)及び該バイアス発生回路(6)と同一プロセスで形成され、かつ同一温度特性を持つ第3のレベルシフト回路(7)とを有することを特徴とする半導体集積回路。

3. 発明の詳細な説明

【概要】

入力のレベルシフトを行なう論理回路を構成した半導体集積回路に関し、

プロセス及び温度変動によるレベルシフト変動を補償して論理回路の論理閾値変動を防止することを目的とし、

入力信号をレベルシフトとする第1のレベルシフト回路を有する論理回路の半導体集積回路において、該入力信号のレベル変換を行なうソースフォロア構成のレベル変換回路と、固定バイアスをレベルシフトして該ソースフォロア構成の電流源FETのゲートに供給する該第1のレベルシフト回路と同一プロセスで形成され、かつ同一温度特性を持つ第2のレベルシフト回路とを有し構成し、

また、該レベル変換回路の電流源FETのソースに印加する負電圧を発生するバイアス発生回路と、固定バイアスをレベルシフトして該ソースフォロア構成の電流源FETのゲートに供給する該第1のレベルシフト回路及び該バイアス発生回路と同一プロセスで形成され、かつ同一温度特性を持つ第3のレベルシフト回路とを有し構成する。

#### 〔産業上の利用分野〕

本発明は半導体集積回路に関し、入力のレベルシフトを行なう論理回路を構成した半導体集積回路に関する。

れを解決することが要望されている。

#### 〔従来の技術〕

第7図は従来のSDFL論理回路の一例を示す。同図(A)において端子10に入力する信号はショットキーダイオード11を通してインバータを構成するディップレッシュン形FET12、13のうちFET13のゲートに供給され、ここで反転されて端子14より出力される。ディップレッシュン形FET15は電流引き抜き用のプルダウンFETであり、ショットキーダイオード11と共にレベルシフト回路16を構成している。

従来においては同図(B)に示す如くショットキーダイオード11と直列にショットキーダイオードと相補的な温度特性を持たせた注入抵抗17を挿入している。

#### 〔発明が解決しようとする課題〕

注入抵抗17はGaAs基板にシリコンを注入して形成するため、抵抗値及び温度特性を精密に

(2)

ガリウム・ヒ素界面効果トランジスタ(GaAs FET)を用いたショットキーダイオードFETロジック(SDFL)、ショットキーダイオードレベルシフターキャバシターカップルドFETロジック(SLCF)、FETロジックワイズショットキーダイオードアンドカップリングキャバシター(FLSC)等の論理回路は入力端にレベルシフト用の例えばショットキーダイオードが設けられ、ディップレッシュン形FETを用いて論理構成を行なっており、エンハンスマントFETを用いた論理回路と比して回路の動作マージン及びFETのスレッシュホールド電圧のマージンを大きくとれるという利点がある。

しかしながら上記SDFL等の論理回路は入力部のレベルシフト用のショットキーダイオードが温度特性を持つため、温度の変動で論理回路が変動し、このため動作マージンが減少するという問題がある。特に集積回路の入力部では、入力信号がノイズを含んだり、なまつたりしているため上記の動作マージンの減少は大きな問題であり、こ

れを解決することが困難であり、これらの値はプロセスのバラツキにより変動するのでショットキーダイオード11のプロセス及び温度特性による入力信号のレベルシフト変動を完全に補償できないという問題があった。

本発明は上記の点に鑑みなされたもので、プロセス及び温度変動によるレベルシフト変動を補償して論理回路の論理回路変動を防止する半導体集積回路を提供することを目的とする。

#### 〔課題を解決するための手段〕

第1図は本発明回路の原理プロック図を示す。第1図(A)において、論理回路1は入力信号をレベルシフトする第1のレベルシフト回路2を有している。

論理回路1の前段にはレベル変換回路3と第2のレベルシフト回路4とからなるレベル補償変換回路5が設けられる。

レベル変換回路3はFETのソースフォロア構成で入力信号 レベル変換を行なう。

(3)

第2のレベルシフト回路4は第1のレベルシフト回路と同一プロセスで形成され、かつ同一温度特性を持ち、固定バイアスをレベルシフトしてソースフォロア構成の電流源FETのゲートに供給する。

第1図(B)において、論理回路1の前段にはレベル変換回路3とバイアス発生回路6と第3のレベルシフト回路7とからなるレベル補償変換回路8が設けられる。

バイアス発生回路6はレベル変換回路3の電流源FETのソースに印加する負電圧を発生する。

第3のレベルシフト回路7は第1のレベルシフト回路2及び該バイアス発生回路6と同一プロセスで形成され、かつ同一温度特性を持ち、固定バイアスをレベルシフトしてソースフォロア構成の電流源FETのゲートに供給する。

#### [作用]

本発明回路は第1図(A)において、第1のレ

の抵抗21、22は電圧 $V_{DD}$ を分圧して固定バイアス $V_D$ を発生する。ショットキーダイオード23及びデブレッショングループFET24はSDFL論理回路30のショットキーダイオード11及びFET15と同一構成で第2のレベルシフト回路25を構成し、上記固定バイアス $V_D$ をレベルシフトしてソースフォロア構成の電流源FETであるデブレッショングループFET26のゲートに供給する。なお、固定バイアス $V_D$ は後続のレベルシフト回路25のレベルシフト量 $V_s$ と同一とされている。

デブレッショングループFET26、27はソースフォロア構成でレベル変換回路28を構成しており、FET27のゲートに端子29より入来た信号はこのレベル変換回路28を通してSDFL回路30のショットキーダイオード11に供給される。

ここで、ショットキーダイオード11、23夫々によるレベルシフト量はプロセス及び温度変動による変動分 $\Delta V_s$ を含み $-(V_s + \Delta V_s)$ と表わす。このとき、FET26のゲート・ソース

ベルシフト回路2のプロセス及び温度変動によるレベルシフト量の変動と同様に第2のレベルシフト回路4のレベルシフト量が変動し、後者がレベル変換回路3で反転されるために第1のレベルシフト回路2の後続の論理回路1内部では上記レベルシフト量の変動が除去される。

また第1図(B)において、第1のレベルシフト回路2及びバイアス発生回路6のプロセス及び温度変動によるレベルシフト量の変動と同様に第3のレベルシフト回路7のレベルシフト量が変動し、後者がレベル変換回路3で反転されるために第1のレベルシフト回路2の後続の論理回路1内部では上記レベルシフト量の変動が除去される。

#### [実施例]

第2図は本発明回路の第1実施例の回路図を示す。同図中、第1図及び第7図と同一部分には同一符号を付し、その説明を省略する。

第2図において、レベル補償変換回路20A内

間電圧 $V_{GS1}$ は $V_{GS1} = V_{GS1} - \Delta V_s$ で表わされ、 $-\Delta V_s$ の変動分を含んでいる。FET26、27が共に随和動作をしており、レベルシフト回路11側への流れる電流を無視できるとすれば、FET26の電圧 $V_{GS1} = V_{GS1} - \Delta V_s$ に応じた電流がそのままFET27のドレイン・ソース間を流れ、FET27のゲート・ソース間電圧 $V_{GS2}$ は $V_{GS2} = V_{GS2} - \Delta V_s$ となる。

従って端子29の入力に対するFET27のレベルシフト量は $-V_{GS2} + \Delta V_s$ となり、 $+\Delta V_s$ の変動分を持つ。これによってレベルシフト回路16によるレベルシフト量 $-(V_s + \Delta V_s)$ の変動分 $\Delta V_s$ が相殺され、FET13のゲート電圧はプロセス及び温度変動によらず一定となる。

これによって、レベル変換補償回路20Aを設けない場合の論理回路30の論理閾値が第3図の実験Iに示す如き温度特性を持つ場合にもレベル変換補償回路20Aを設けることにより、実験IIに示す如く論理閾値の温度変動がなくなる。

(4)

第4図は本発明回路の第2実施例の回路図を示す。

同図中、レベル変換補償回路20B内のレベル変換回路28のFET26ソースにはバイアス発生回路40が接続されている。バイアス発生回路40はFET26のソースのバイアス電圧をアースレベルより低下させるレベルシフト用のショットキーダイオード41と、電流引き抜きを行なうプルダウン用のデブレッショングループFET42で構成されている。

また第3のレベルシフト回路45のショットキーダイオード43はショットキーダイオード11と41の温度特性を補償するために2段継続接続されており、プルダウン用のディブレッショングループFET44により電流引き抜きが行なわれる。

このようにバイアス発生回路40を設けることにより、端子29に入来する信号の振幅が大であってもFET26, 27の饱和動作を保障できる。

第5図は本発明回路の第3実施例の回路図を示す。

同図中、レベル補償変換回路20C内の第3のレベルシフト回路55はショットキーダイオード11の温度特性を補償するためのショットキーダイオード23と、ショットキーダイオード41の温度特性を補償するためのショットキーダイオード53とを継続接続しており、ショットキーダイオード23, 53夫々にプルダウンFET24, 54夫々が設けられている。

これはショットキーダイオード41に流す電流がショットキーダイオード11に流す電流より大電流であるので、ショットキーダイオード23, 53夫々に流す電流をFET24, 54夫々で異ならしめ上記ショットキーダイオード11, 41夫々に流す電流と一致させるためである。

これによってレベルシフト補償回路20Cによるレベルシフト変動の補償は第2実施例のものより更に向上する。

第6図は本発明回路の第4実施例の回路図を示す。

同図中、レベル補償変換回路20D内のバイア

ス発生回路60はグランドと電源電圧V<sub>EE</sub>間に設けられたディブレッショングループFET61, 62で構成されている。この場合にはバイアス発生回路60が温度特性を持たないので、第1実施例と同様に第2のレベルシフト回路25を用い、ここでレベルシフト回路16の温度特性だけ補償する。

なお、ショットキーダイオード11, 23, 41, 43, 53の代りに注入抵抗を用いても良く、更にFET12の代りに注入抵抗を用いても良く、上記実施例に限定されない。

#### 【発明の効果】

上述の如く、本発明の半導体集積回路によれば、プロセス及び温度変動によるレベルシフト変動を補償して論理回路の論理閾値変動を防止でき、実用上きわめて有用である。

#### 4. 図面の簡単な説明

第1図は本発明回路の原理ブロック図、

第2図、第4図、第5図、第6図夫々は本発明

回路の各実施例の回路図、

第3図は本発明回路の特性図、

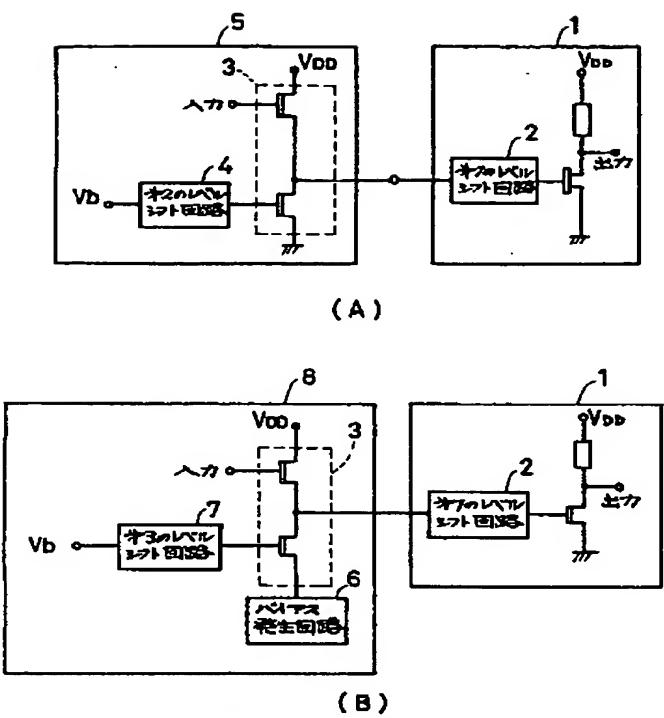
第7図は従来回路を説明するための図である。

図において、

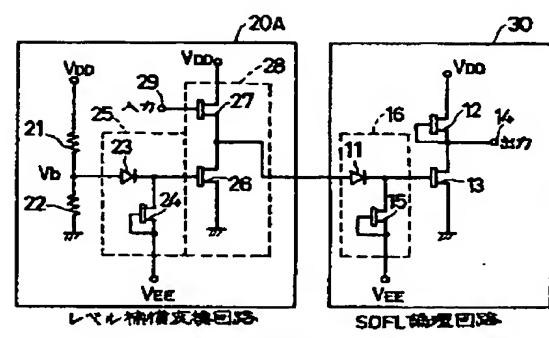
- 1は論理回路、
- 2は第1のレベルシフト回路、
- 3はレベル変換回路、
- 4は第2のレベルシフト回路、
- 5, 8はレベル補償変換回路
- 6はバイアス発生回路、
- 7は第3のレベルシフト回路。

を示す。

(5)

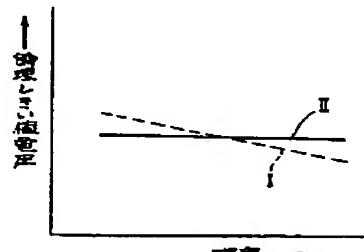


第1図



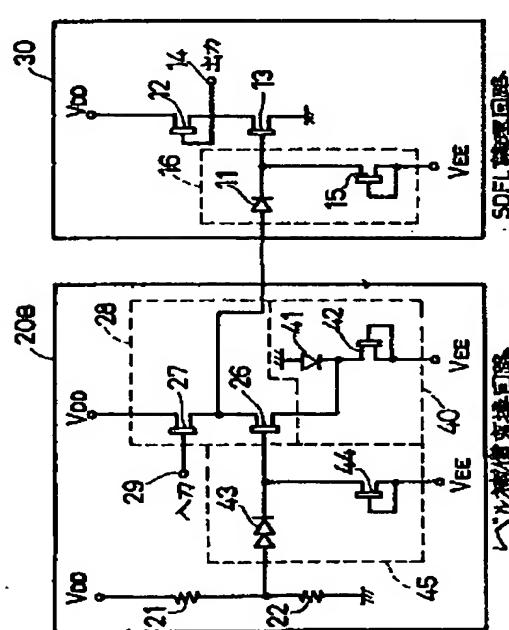
本発明回路の第2実施例の回路図

第2図

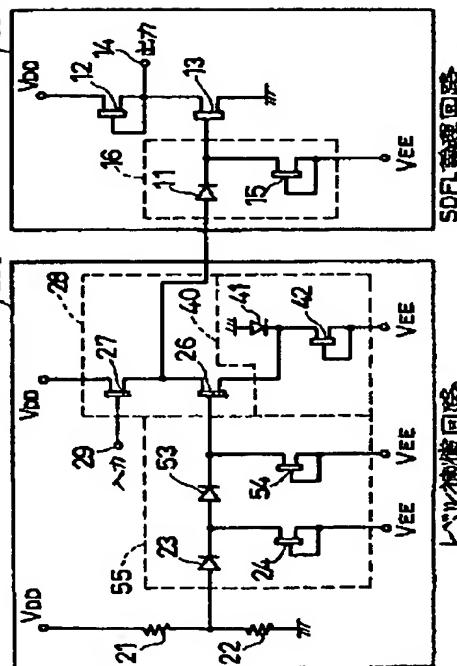


本発明回路の特性図

第3図



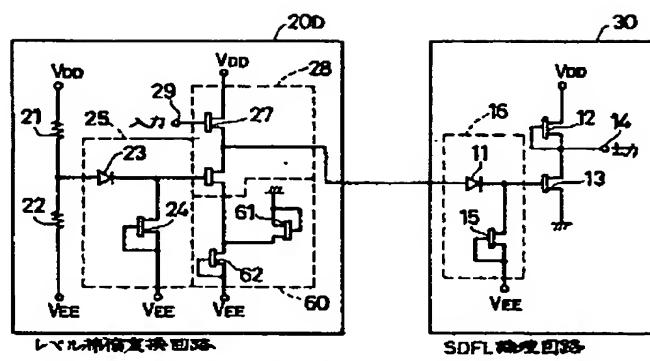
第4図



本発明回路の第3実施例の回路図

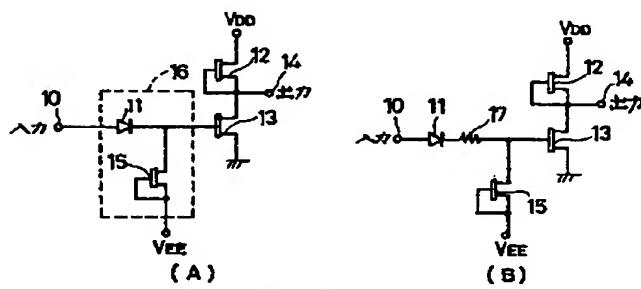
第5図

(6)



本発明回路の第4実施例を示す回路図

第6図



従来回路を説明するための図

第7図